

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-042138

(43)Date of publication of application : 28.02.1986

(51)Int.Cl.

H01L 21/302

(21)Application number : 59-162935

(71)Applicant : HITACHI LTD
NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 03.08.1984

(72)Inventor : NISHIZAWA HIROYUKI
KAWAJI MOTONORI
WATANABE KUNIHICO
KURODA SHIGEO
TAKAKURA TOSHIHIKO
SAKAI TETSUSHI

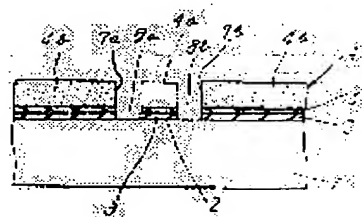
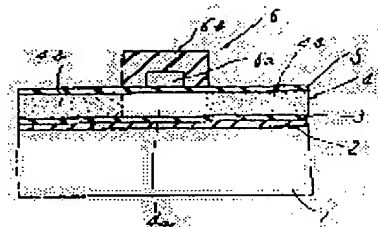
Best Available Copy

(54) FORMATION OF PIN HOLES OF SEMICONDUCTOR DEVICE AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To easily form pin holes in the width of submicron by forming pin holes to the insulation film at the surface of semiconductor substrate utilizing film thickness of oxide film.

CONSTITUTION: An insulating underlayer film consisting of SiO₂ film 2 and Si₃N₄ film 3 is formed at the surface of a silicon semiconductor substrate 1. In order to form pin holes at the underlayer film, a non-doped first polycrystalline silicon film 4, an oxidation proof nitride film 5 and a second polycrystalline silicon film 6 are sequentially formed by the CVD technique on such underlayer film. Next, the surface of silicon 6 is covered with an oxide film 6b and non-oxidized part 6a remains at the inside by oxidizing the patterned silicon film 6. Next, boron is introduced to the silicon film 4 and thereby the non-doped region 4a and doped region 4b are formed. Next, Si₃N₄ in the area other than the non-oxidized region 6a is eliminated by the etching. Next, fine intervals 7a, 7b restricted by the edge of remaining Si₃N₄ film 5, non-doped region 4a and doped region 4b are formed on the silicon film 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-42138

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)2月28日

H 01 L 21/302

J-8223-5F

審査請求 未請求 発明の数 2 (全7頁)

⑮ 発明の名称 半導体装置における微細孔の形成方法および半導体装置の製造方法

⑯ 特 願 昭59-162935

⑰ 出 願 昭59(1984)8月3日

⑱ 発 明 者 西 沢 裕 幸 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
⑱ 発 明 者 河 路 幹 規 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
⑱ 発 明 者 渡 辺 邦 彦 小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑲ 出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号
⑲ 代 理 人 弁理士 高橋 明夫 外1名

最終頁に続く

明 細 書

発明の名称 半導体装置における微細孔の形成方法および半導体装置の製造方法

特許請求の範囲

1. 半導体基体の表面を被う絶縁膜に微細孔を形成する方法であって、次の各工程をとることを特徴とする半導体装置における微細孔の形成方法。

(A) 前記絶縁膜の上に、不純物濃度差に応じた選択エッチングが可能で前記絶縁膜のエッチングに対しマスクとなりうる第1の膜と、この第1の膜のエッチングに対しマスクとなりうる耐酸化性の堆積膜と、この堆積膜のエッチングに対しマスクとなりうる酸化性の第2の膜とを順次形成し、前記第2の膜をパターンニングする工程。

(B) (A)工程後、パターンニングされた前記第2の膜の表面を酸化してその露出面を酸化膜で被い、ついでこの酸化膜をマスクとして、前記第1の膜に不純物を導入する工程。

(C) (B)工程後、第2の膜を被う前記酸化膜を除去し、これにより露出する前記第2の膜の非酸

化部分をマスクとして、前記堆積膜をエッチングする工程。

(D) (C)工程後、残存する前記堆積膜をマスクとしかつ不純物濃度差によるエッチングレートのうちがいを利用して、前記第1の膜のノンドープ部分を選択的に除去し、前記第1の膜に、前記酸化膜の膜厚に対応する幅の微細な間隙を形成する工程。

(E) (D)工程後、前記第1の膜の微細な間隙を利用して前記絶縁膜に微細孔を形成する工程。

2. 第2の膜を被う前記酸化膜の厚さはサブミクロンオーダーである特許請求の範囲第1項に記載の微細孔の形成方法。

3. 前記半導体基体はシリコン、前記絶縁膜はシリコン酸化膜およびシリコンナイトライド膜からなり、そして前記第1および第2の膜は多結晶シリコン、前記堆積膜はシリコンナイトライドからなる特許請求の範囲第1項あるいは第2項に記載の微細孔の形成方法。

4. 前記第2の膜である多結晶シリコンがN型不

特開昭61-42138(2)

純物を含有している特許請求の範囲第3項に記載の微細孔の形成方法。

5. 次の各工程からなることを特徴とする半導体装置の製造方法。

(A) 半導体基体の表面を被う絶縁膜の上に、ノンドープの第1の多結晶シリコン膜、このシリコン膜のエッチングに対しマスクとなりうる耐酸化性の堆積膜、および第2の多結晶シリコン膜を順次形成し、前記第2の多結晶シリコン膜がベースおよびエミッタを形成すべき部分に残存するように、前記第2の多結晶シリコン膜をパターンニングする工程。

(B) (A)工程後、パターンニングされた前記第2の多結晶シリコン膜の表面を酸化してその露出面を酸化膜で被い、ついで、この酸化膜をマスクとして、前記第1の多結晶シリコン膜に不純物を導入する工程。

(C) (B)工程後、第2の多結晶シリコン膜を被う前記酸化膜を除去し、これにより露出する前記第2の多結晶シリコン膜の非酸化部分をマスクと

して、前記堆積膜をエッチングする工程。

(D) (C)工程後、残存する前記堆積膜をマスクとしかつ不純物濃度差によるエッチングレートのちがいを利用して、前記第1の多結晶シリコン膜のノンドープ部分を選択的に除去し、この第1の多結晶シリコン膜に前記酸化膜の膜厚に対応する幅の微細な間隙を形成し、残存する第2の多結晶シリコン膜および堆積膜を除去する工程。

(E) (D)工程後、微細な間隙が形成された第1の多結晶シリコン膜をマスクとして前記絶縁膜に微細なベースの開口を形成し、第1の多結晶シリコン膜のうちの残存するノンドープ部分を除去する工程。

(F) (E)工程後、第1の多結晶シリコン膜を含む半導体基体上にノンドープもしくは第1の多結晶シリコン膜より低い不純物濃度を有する第3の多結晶シリコン膜を新たに形成し、ついでアニールすることによって、この第3の多結晶シリコン膜に対して不純物を拡散しベース引出し用電極を形成すると共に、前記ベースの開口を通して半導

体基体表面にグラフトベース領域を形成する工程。

(G) (F)工程の後、不純物濃度差によるエッチングレートのちがいを利用して、前記第3の多結晶シリコン膜のうちエミッタを形成すべき部分を選択的に除去する工程。

(H) (G)工程後、残存する第3の多結晶シリコン膜の表面に酸化膜を形成し、この酸化膜をマスクとして半導体基体表面の前記絶縁膜を選択的に除去してエミッタの開口を形成した後、この開口を通して半導体基体表面に不純物を導入することによって真性ベースおよびエミッタの各領域を形成する工程。

発明の詳細な説明

〔技術分野〕

この発明は、一般に半導体装置の製造技術に関し、特に、半導体装置においてサブミクロンオーダーの幅をもつ微細孔を形成する方法、およびそれを利用した半導体装置の製造方法に関する。

〔背景技術〕

半導体製造技術としてのホトリソグラフィにお

いては、ホトレジストパターンに±0.5μm程度の寸法バラツキが生ずるため、たとえばベースやエミッタの開口寸法を1μm以下に設定することは困難であった。このような微細孔形成の寸法限界は素子寸法の小型化の限界となって現われ、集積度の向上の妨げとなっていた。

〔発明の目的〕

この発明の目的は、サブミクロンオーダーの幅をもつ微細孔を制御性良く形成することが可能な微細孔の形成方法を提供することにある。

また、この発明の別の目的は、集積度をより向上させることが可能な製造技術を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

〔発明の概要〕

ここに開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、微細孔を形成すべき絶縁膜上に、ノ

ンドープの第1の多結晶シリコン膜とシリコンナイトライド膜などの堆積膜と第2の多結晶シリコン膜とを順次形成し、前記第2の多結晶シリコン膜をパターニングした後、その表面を酸化することによって、内部に非酸化の第2の多結晶シリコンを残した状態で酸化膜を形成し、この酸化膜の膜厚に対応する幅の微細な間隙を前記第1の多結晶シリコン膜に形成して、前記絶縁膜に微細孔を形成する。

【実施例】

第1図～第4図はこの発明の一実施例を示す工程断面図で、シリコン半導体基体1の表面を被う下地膜であるシリコン酸化膜(SiO₂)2およびシリコンナイトライド膜(Si₃N₄)3に微細孔を形成する工程を示す。

(第1図を参照して)

シリコン半導体基体1は、図示されていないが、P型シリコン基板の表面にN⁺型の埋込み層を有し、その上にN⁻型のエピタキシャル層を有する公知のものである。このような基体1の表面に、

などを考慮して定められ、本例では300nmである。

このような3層のマスク層を形成した後、最上層の第2の多結晶シリコン膜6をパターニングして、たとえばパイボラ型の半導体装置であればベースおよびエミッタを形成すべき部分上に、第2の多結晶シリコン膜6を残存させる。第2の多結晶シリコン膜6のパターニングは、たとえば異方性の反応性イオンエッチングを用いる。第1図はそのパターニングを終えた後の状態を示している。残される第2の多結晶シリコン膜6の幅は、たとえば1μm程度近くにする事が可能である。

(第2図を参照して)

次に、パターニングされた第2の多結晶シリコン膜6を酸化する。この場合、Si₃N₄膜5が酸化に対するマスクとして機能することは勿論である。こうした酸化によって、第2の多結晶シリコン6は、表面が酸化膜6aで被われ内部に非酸化部分6aが残る。非酸化部分6aはその下のSi₃N₄膜5のエッチングの際のマスクとなる

特開昭61-42138(3)

SiO₂膜2およびSi₃N₄膜3からなる絶縁性の下地膜が形成されている。

このような下地膜に微細孔を形成するために、この下地膜の上にノンドープの第1の多結晶シリコン膜4と耐酸化性のシリコンナイトライド膜(Si₃N₄)5と第2の多結晶シリコン膜6とを化学的気相成長技術(CVD技術)により順次形成する。第1の多結晶シリコン膜4は下地膜のエッチングに対するマスクとなるもので、その厚さは、不純物の選択的導入の際のまわり込み量を少なくするという観点から厚すぎないことが望ましく、本例では第2の多結晶シリコン膜6と同等もしくはそれより幾分薄く形成される。Si₃N₄膜5は、第1の多結晶シリコン膜4のエッチングに対するマスクとなると共に、第2の多結晶シリコン膜6の酸化工程で酸化が第1の多結晶シリコン膜4に及ぶのを防止する。第2の多結晶シリコン膜6はノンドープもしくはN型不純物を含有しており、その膜厚は、酸化工程での酸化およびSi₃N₄膜5のエッチングに対するマスクとなること

もので、その厚さは本例では150nm程度である。酸化膜6aは、その膜厚が下地膜に形成される微細孔の幅を決定すると共に、第1の多結晶シリコン膜4に対する不純物導入の際のマスクとなる。微細孔の幅を決定する酸化膜6aの膜厚は、酸化処理の制御性で決まるので、ホトリソグラフィの場合と比較しても一桁以上の高い精度で制御することができる。したがって、たとえばサイドエッチングを利用して微細孔を形成する場合に比べて制御性良くしかも高精度にコントロールすることができる。本例では、酸化膜6aの膜厚は300nmであり、したがって幅0.3μmの微細孔が形成されることになる。なお、第2の多結晶シリコン膜6にN型不純物をドーピングしている場合には、酸化速度を上げることができるので、製造効率の向上を期待することができる。

第2の多結晶シリコン膜6を酸化した後、酸化膜6aをマスクとして、イオン打込み技術によりP型不純物であるボロンを第1の多結晶シリコン膜4に導入する。これにより、第2の多結晶シリ

特開昭61-42138(4)

コン膜6の直下にノンドープ部分4aが、他の部分にドープ部分4bが、それぞれ形成される。

(第3図を参照して)

次に、第2の多結晶シリコン膜6の表面酸化により形成された酸化膜6bをエッチング除去し、この結果露出する非酸化部分6aをマスクとして、たとえば異方性の反応性イオンエッチングを用いてSi₃N₄膜5をエッチングし、非酸化部分6a以外のSi₃N₄を除去する。

(第4図を参照して)

次に、残存するSi₃N₄膜5をマスクとしかつ不純物濃度差によるエッチングレートの違いを利用して、第1の多結晶シリコン膜4に、残存するSi₃N₄膜5のエッジとノンドープ部分4a・ドープ部分4bの境界とで規制される微細な間隙7a、7bを形成する。この場合のエッチングは選択性の高いドライエッチングカウエットエッチングで行ない、微細な間隙7a、7bの形成と同時に第2の多結晶シリコン膜6の非酸化部分6aを除去する。ついで、非酸化部分6aの下

のSi₃N₄膜5を取り除き、第1の多結晶シリコン膜4の残存するノンドープ部分4aを露出させる。このようにして第1の多結晶シリコン4に形成された微細な間隙7a、7bは、第2の多結晶シリコン膜6の表面酸化により形成された酸化膜6bの膜厚に対応する幅を有し、本例では0.3 μmとなる。

次に、微細な間隙7a、7bが形成された第1の多結晶シリコン膜4をマスクとして、下地膜のうちのSi₃N₄膜3をエッチング除去する。ついで、残存する第1の多結晶シリコン膜4のノンドープ部分4aを、不純物濃度差によるエッチングレートの違いを利用して取り除いた後、Si₃N₄膜3をマスクとしてSiO₂膜2を選択エッチングして、下地膜に微細孔8a、8bを形成する。この微細孔8a、8bは本例では0.3 μmの幅を有し、後述の具体的実施例で述べるようにこれらはベースの開口となる。なお、エミッタの開口については、微細孔8aと8bの間のSi₃N₄膜3およびその下のSiO₂膜2を通して形

成される。

次に、第5図～第7図を用いて半導体装置への具体的な実施例について説明する。第5図～第7図はバイポーラ型半導体装置の製造工程断面図を示す。

この実施例では、パターニングされた第2の多結晶シリコン膜の酸化による酸化膜の幅内にベースとエミッタの開口が形成されるもので、ベース-エミッタ間隔を小さくすることができ、素子寸法のより小型化およびベース抵抗の低減ならびに寄生容量の低減を図ることができ、高集積度かつ高速度な半導体装置を製造することができる。

(第5図を参照して)

シリコン半導体基体1は、前述したように、P型シリコン基板101の表面にN⁺型の埋込み層102を有し、その上にN⁻型のエピタキシャル層103を有している。エピタキシャル層103は、素子分離用の厚い酸化膜201で素子形成領域毎に分離されており、その表面に薄い酸化膜(SiO₂)2を有している。

まず、厚い酸化膜201で分離されている素子形成領域のうちのコレクタ取出し部にリンをイオン打込みしてN⁺型のコレクタ引上げ部104を形成した後、CVD法によって全表面にSi₃N₄膜3を形成し、ついで、第1図～第4図の工程にしたがって、ベースおよびエミッタを形成すべき素子形成領域に微細なベースの開口8aおよび8bを形成する。

(第6図を参照して)

次に、第1の多結晶シリコン膜4のドープ部分4bを選択的にエッチングしてその周辺の不要部分を除去した後、全表面にノンドープのもしくは第1の多結晶シリコン膜4よりも低い不純物濃度の第3の多結晶シリコン膜9をCVD法により形成する。なお、第1の多結晶シリコン膜4の選択エッチにおいては、マスクの一端が分離酸化膜201上に位置するようにすれば良く、そのマスク合わせ等は非常に容易である。第3の多結晶シリコン膜9を形成した後、熱処理(アニール)を施すことにより、第1の多結晶シリコン膜4のドープ

特開昭61-42138(5)

部分4bから第3の多結晶シリコン膜9内にボロンを拡散させ、第3の多結晶シリコン膜9にドーブ部分9a(実線部分)とノンドーブ部分9b(破線部分)を形成すると共に、微細孔8aおよび8bを通して基体1のエピタキシャル層103の表面にP⁺型のグラフトベース領域10a、10bを形成する。ついで、不純物濃度差によるエッチングレートの違いを利用して第3の多結晶シリコン膜9を選択的に除去し、実線で示すドーブ部分9aのみを残存させることによって、ベース引出し電極を形成すると共に、エミッタの開口を形成すべきSi₃N₄膜3の部分を開出させる。

(第7図を参照して)

次に、第1の多結晶シリコン膜4のドーブ部分4bと第3の多結晶シリコン膜9のドーブ部分9aとによって形成されるベース電極取出し部分11の表面に酸化膜12を形成し、この酸化膜12をマスクとして、下地膜であるSi₃N₄膜3とその下のSiO₂膜2を選択的に除去して、エミッタの開口13とコレクタのコンタクト穴14を

形成する。酸化膜12は基体表面のSiO₂膜2に比べて十分厚く、基体表面のSiO₂膜2が完全に除去されても絶縁上十分な厚さが確保できるようになっている。

このようにして形成されたエミッタの開口13の部分に、CVD法およびホトリソグラフィ技術によってノンドーブの多結晶シリコン膜15を選択的に形成する。ついで、この多結晶シリコン膜15を通して、イオン打込み技術により、ボロンを導入してP型の真性ベース16、およびヒ素を導入してN⁺型のエミッタ17の各領域をそれぞれ形成する。その後の工程は従来と同様で、多結晶シリコン膜15を下地膜としたエミッタ電極18、ベースコンタクト穴19を被うベース電極20、およびコレクタ電極21をそれぞれ形成することによって、バイポーラトランジスタを含むデバイスが完成する。

〔効果〕

(1) 酸化膜の膜厚を利用して半導体基体表面の絶縁膜に微細孔を形成するようにしたので、サ

ブミクロンたとえば0.5μm以下の幅をもつ微細孔を容易に形成することができ、しかも、酸化膜厚が高精度に制御できることから再現性良く微細孔を形成することができる。

(2) 酸化膜の高精度の制御性から、微細孔の幅を簡単にコントロールすることができる。

(3) 酸化膜の厚の体積増大を考慮しても、1.5〜2.0μm程度の幅内にベースおよびエミッタのコンタクト穴を形成することが可能であり、したがって素子形成領域を小さくすることができ、ベース抵抗および寄生容量も低減され、半導体装置の集積度の向上ならびに高速化を図ることができる。

以上この発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、この発明をMOS型の半導体装置の製造に適用することによって、サブミクロンオーダーのソース、ドレインの開口を形成するこ

とができる。

図面の簡単な説明

第1図〜第4図はこの発明の一実施例を示す工程断面図。

第5図〜第7図はこの発明の半導体装置への具体的な実施例を示す工程断面図である。

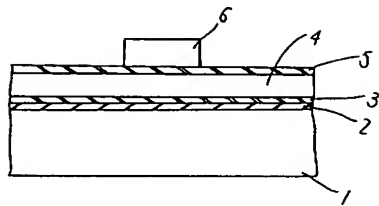
1…半導体基体、2…SiO₂膜(絶縁膜)、3…Si₃N₄膜(絶縁膜)、4…第1の多結晶シリコン膜(第1の膜)、4a…ノンドーブ部分、4b…ドーブ部分、5…Si₃N₄膜(堆積膜)、6…第2の多結晶シリコン膜(第2の膜)、6a…非酸化部分、6b…酸化膜、7a、7b…微細な間隙、8a、8b…微細孔、9…第3の多結晶シリコン膜、9a…ドーブ部分、9b…ノンドーブ部分、10a、10b…グラフトベース領域、13…エミッタ開口、16…真性ベース領域、17…エミッタ領域。

代理人 井理士 高橋明夫

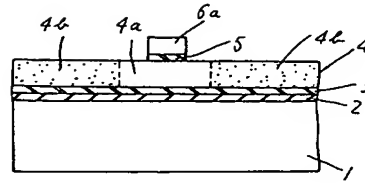


特開昭61-42138(6)

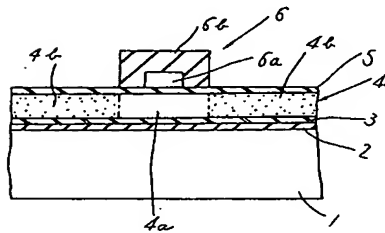
第 1 図



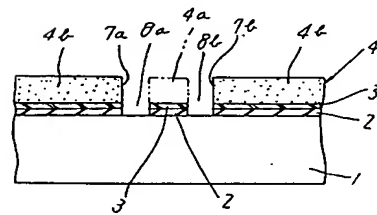
第 3 図



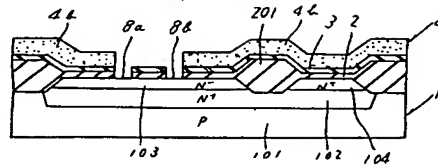
第 2 図



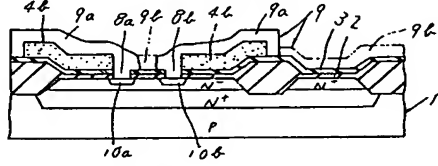
第 4 図



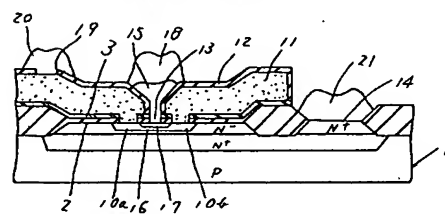
第 5 図



第 6 図



第 7 図



特開昭61-42138(7)

第1頁の続き

⑦発明者	黒田	重雄	小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
⑦発明者	高倉	俊彦	小平市上水本町1450番地 株式会社日立製作所デバイス開発センタ内
⑦発明者	酒井	徹志	厚木市小野1839番地 日本電信電話公社厚木電気通信研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.